

DIALOG(R)File 352:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

004257445

WPI Acc No: 85-084323/198514

Flexible substrate for thin film transistor - has gate, source and drain  
electrodes, insulating and semiconductor films. NoAbstract Dwg 2/3

Patent Assignee: RICOH KK (RICO )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 60035574	A	19850223	JP 83144606	A	19830808		198514 B

Priority Applications (No Type Date): JP 83144606 A 19830808

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
JP 60035574	A		8			

Title Terms: FLEXIBLE; SUBSTRATE; THIN; FILM; TRANSISTOR; GATE; SOURCE;  
DRAIN; ELECTRODE; INSULATE; SEMICONDUCTOR; FILM; NOABSTRACT

Derwent Class: U12; U14

International Patent Class (Additional): H01L-027/12; H01L-029/78

File Segment: EPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

01557074     \*\*Image available\*\*

SUBSTRATE FOR THIN FILM TRANSISTOR

PUB. NO.:     **60-035574** [JP 60035574 A]

PUBLISHED:     February 23, 1985 (19850223)

INVENTOR(s):   KOBAYASHI SHUNSUKE

                 UEHARA KIYOHIRO

                 ENOMOTO TAKAMICHI

                 OOTA WASABURO

APPLICANT(s): RICOH CO LTD [000674] (A Japanese Company or Corporation), JP  
                 (Japan)

APPL. NO.:     58-144606 [JP 83144606]

FILED:           August 08, 1983 (19830808)

INTL CLASS:     [4] H01L-029/78; H01L-027/12

JAPIO CLASS:   42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
                 MOS)

JOURNAL:        Section: E, Section No. 325, Vol. 09, No. 154, Pg. 155, June  
                 28, 1985 (19850628)

#### ABSTRACT

PURPOSE: To facilitate the decrease of weight with a large degree of freedom in shape and improve the impact resistance by a method wherein the title substrate is constructed by the formation of the title transistor on a flexible substrate.

CONSTITUTION: The flexible substrate 1 is a transparent film of poly-ether-sulfone. A gate electrode 2 and an electrode 3 serving as one electrode of a charge holding capacitor are formed on this substrate 1. Next, an insulation film 4 is formed further from above these electrodes 2 and 3. The material of the film 4 is tantalum pentoxide. Moreover, a semiconductor film 5 is formed over the electrode 2 from above the film 4. The material of the film 5 is tellurium. Then, a source electrode 6 and a drain electrode 7 are formed by vapor-deposition of Ind oxide. The matrix substrate for the title transistor can be thus obtained. Processes from the formation of the electrodes 2 and 3 to that of the source and drain electrodes 6 and 7 are all carried out by vapor-deposition; formation by vapor deposition enables film formation without heating the substrate 1 to over a high temperature for substrate deformation.

## ⑫ 公開特許公報(A)

昭60-35574

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)2月23日

// H 01 L 29/78  
H 01 L 27/127377-5F  
8122-5F

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 薄膜トランジスター基板

⑯ 特 願 昭58-144606

⑰ 出 願 昭58(1983)8月8日

⑱ 発 明 者 小 林 駿 介 東京都練馬区西大泉3-13-40  
⑱ 発 明 者 上 原 清 博 東京都大田区中馬込1丁目3番6号 株式会社リコー内  
⑱ 発 明 者 榎 本 孝 道 東京都大田区中馬込1丁目3番6号 株式会社リコー内  
⑱ 発 明 者 太 田 和 三 郎 東京都大田区中馬込1丁目3番6号 株式会社リコー内  
⑲ 出 願 人 株式会社リコー 東京都大田区中馬込1丁目3番6号  
⑳ 代 理 人 弁理士 樺 山 亨

## 明 細 書

## 発明の名称

薄膜トランジスター基板

## 特許請求の範囲

可撓性を有する基板上に、ゲート電極、絶縁膜、半導体膜、ソース電極、ドレイン電極を形成して、薄膜トランジスターとしたことを特徴とする、薄膜トランジスター基板。

## 発明の詳細な説明

## (技術分野)

この発明は、薄膜トランジスター基板、詳しくは全体として可撓性を有する薄膜トランジスター基板に関する。

## (従来技術)

薄膜トランジスター、すなわち、薄膜状に形成されたトランジスターが知られている(特開昭58-106860号公報、特開昭58-106861号公報、特開昭56-23780号公報等)。

しかし、従来知られている薄膜トランジスターは、ガラスやシリコン等、硬質の基板を用い、こ

の硬質基板上に薄膜トランジスターを形成しており、このため、薄膜トランジスター基板の形状が、硬質基板により限定されてしまう、薄膜トランジスター基板が脆く、衝撃に弱い、基板を薄くすることが困難である、取扱いにおける作業性が悪い、等の問題があった。

## (目 的)

そこで、本発明は、上記問題を解決した、新規な、薄膜トランジスター基板の提供を目的とする。

## (概 成)

以下、本発明を説明する。

本発明による、薄膜トランジスター基板は、可撓性を有する基板上に、薄膜トランジスターを形成することにより構成される。薄膜トランジスターは、ゲート電極、絶縁膜、半導体膜、ソース電極、ドレイン電極を有する。

可撓性を有する基板は、本発明の特徴の一端をなすものであるが、各種の可撓性樹脂、例えば、ポリエチレンテレフタレート、ポリカーボネート、ポリスルホン、ポリエーテルスルホン、ポリイミ

ド、ポリプロピレン、セルロースアセテート、セルローストリアセテート、形成ポリエステル等が好適である。

以下、具体的な例に即して説明する。

発明者らは、本発明の1実施例として、液晶表示素子の液晶駆動用アクティブマトリクス型基板を、薄膜トランジスター基板として作製してみた。

第1図は、液晶表示素子の1画素単位の等価回路を示している。図中、符号101、102は、それぞれ、1行目、1+1行目のゲート配線を、符号103はj列目のデータ配線を示す。また、符号104は、1行j列のスイッチング薄膜トランジスター、符号105は、電荷保持用のキャパシター、符号106は、液晶によるキャパシターを、それぞれ示す。

さて、薄膜トランジスターの作製方法は、前述の特開昭56-23780号公報等に開示された方法が知られているが、これらの方法は、いずれも、堆積(デポジション)、表面酸化、熱拡散等、高温で処理する工程を含むから、可撓性を有する基

板として、プラスチックフィルム等、耐熱性のないものを用いる場合には、使用できない。

そこで、発明者らは、以下の如き手順で、薄膜トランジスターマトリクスを形成した。これを、第2図を参照して説明する。

第2図において、符号1は、可撓性を有する基板であって、ポリエーテルスルホンの透明フィルムである。

この基板1に、ゲート電極2と、電荷保持用のキャパシターの一方の電極となる電極3とを、形成した(第2図(I))。これら電極2、3の形成は、蒸着形成により行った。

ゲート電極2は、第1図のトランジスター104のゲート電極となるべきもので、第1図から明らかなように、ゲート配線101に接続される。また、電極3は、キャパシター105の一方の電極となるべきものであって、ゲート配線102に接続される。なお、電極2、3は、酸化インジウムで形成したが、金、アルミニウム等を用いてもよい。

次に、この電極2、3の上からさらに、絶縁膜

4を形成した(第2図(II))。絶縁膜4の材料は五酸化タンタル、膜形成は蒸着形成である。

さらに、この絶縁膜4の上から、ゲート電極2の上部に、半導体膜5を形成した。半導体膜5の材料はテルル、膜形成は蒸着形成である。

次に、酸化インジウムの蒸着によって、ソース電極6、ドレイン電極7を形成した。この状態を第2図(IV)に示す。

ソース電極6は、第1図に示す如く、データ配線103に接続される。

また、ドレイン電極7は、電極3とともに、キャパシター105を構成し、かつ、液晶駆動用電極となる。

このようにして、薄膜トランジスターマトリクス基板が得られた。電極2、3の形成からソース、ドレイン電極6、7の形成に到るまで、すべて、蒸着で行った訳であるが、蒸着形成では、基板1を基板の変形高温以上に加熱することなく膜形成が可能であるので、薄膜トランジスターの作製のさい、基板1が熱でそこなわれることがない。

なお、膜形成手段として、蒸着のかわりにスパッタリングを用いても同様の効果が得られる。

このようにして得られた、薄膜トランジスターにつき、第3図の如きスイッチング特性を確認した。各曲線3-1、3-2、3-3、3-4に対し、パラメーターとしての、データ配線103の電圧V<sub>d</sub>は、それぞれ、+2V、0V、-2V、-4Vである。

ドレイン電流が流れると、これに対応する液晶画素が駆動されることになる。

その後、この薄膜トランジスター基板の表面に、配向処理膜をさらに形成し、表面をラビングした。

また、酸化インジウム膜を形成した板部材に配向処理を施し、10μm径のプラスチックビーズを分散させ、この板部材と、上記の如く得られた、液晶駆動用アクティブマトリクス型基板とを、対向させ、周辺を接着材によりシールし、内部空間に液晶を封入して液晶セルとした。さらに偏光方向が互いに直交した偏光板の間に、液晶セルを挟持させることにより、可撓性のある、アクティブ

マトリクス型液晶表示装置が得られた。

(効果)

以上、本発明によれば新規な、薄膜トランジスタ基板を提供できる。

この薄膜トランジスタ基板は、可撓性を有する基板上に、薄膜トランジスタを形成するので、形状の自由度が大きく、また軽量化も容易で、耐衝撃性にもすぐれ、作業性も極めて良好である。

従って、センサー、能動素子、回路基板等として用いられる際、これらの設置態位や、作業手順に大きな自由度が得られ、設計の自由度も増大する。なお、基板として、各種プラスチックを用いることに関しては、従来、プラスチック中の不純物の存在の影きょう等から、プラスチックを基板として薄膜トランジスタを製作しても十分な性能を有するトランジスタが得られないとの見解が支配的であったが、本発明者らの発明によれば、硬質基板を用いる場合に比して優劣つけがたい性能を有する薄膜トランジスタ基板が得られた。

図面の簡単な説明

第1図は、本発明の1実施例の、1単位の回路回路を示す図、第2図は、薄膜トランジスタ作製の手順を示す説明図、第3図は、本発明による薄膜トランジスタ基板の、スイッチング特性を示す図である。

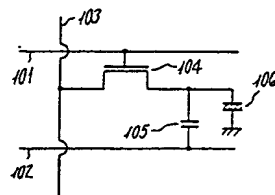
1…可撓性を有する基板、2…ゲート電極、4…絶縁膜、5…半導体膜、6…ソース電極、7…ドレイン電極

代理人

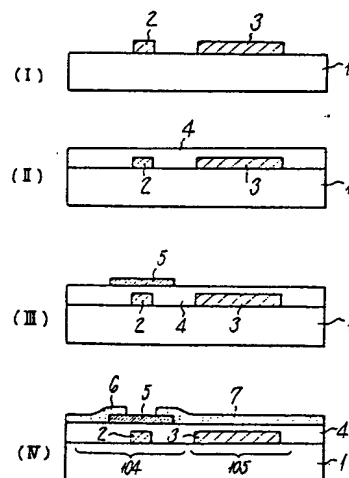
梅 山



第1図



第2図



第3図

